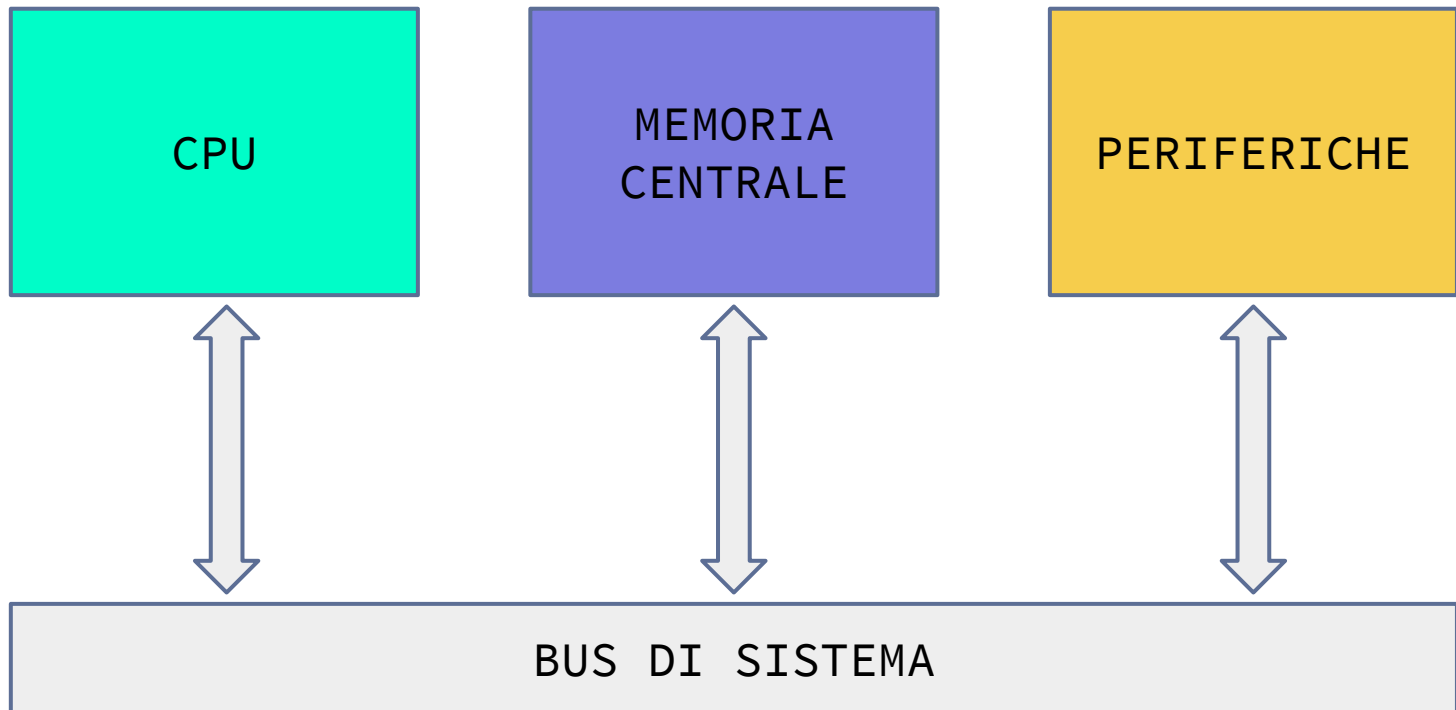


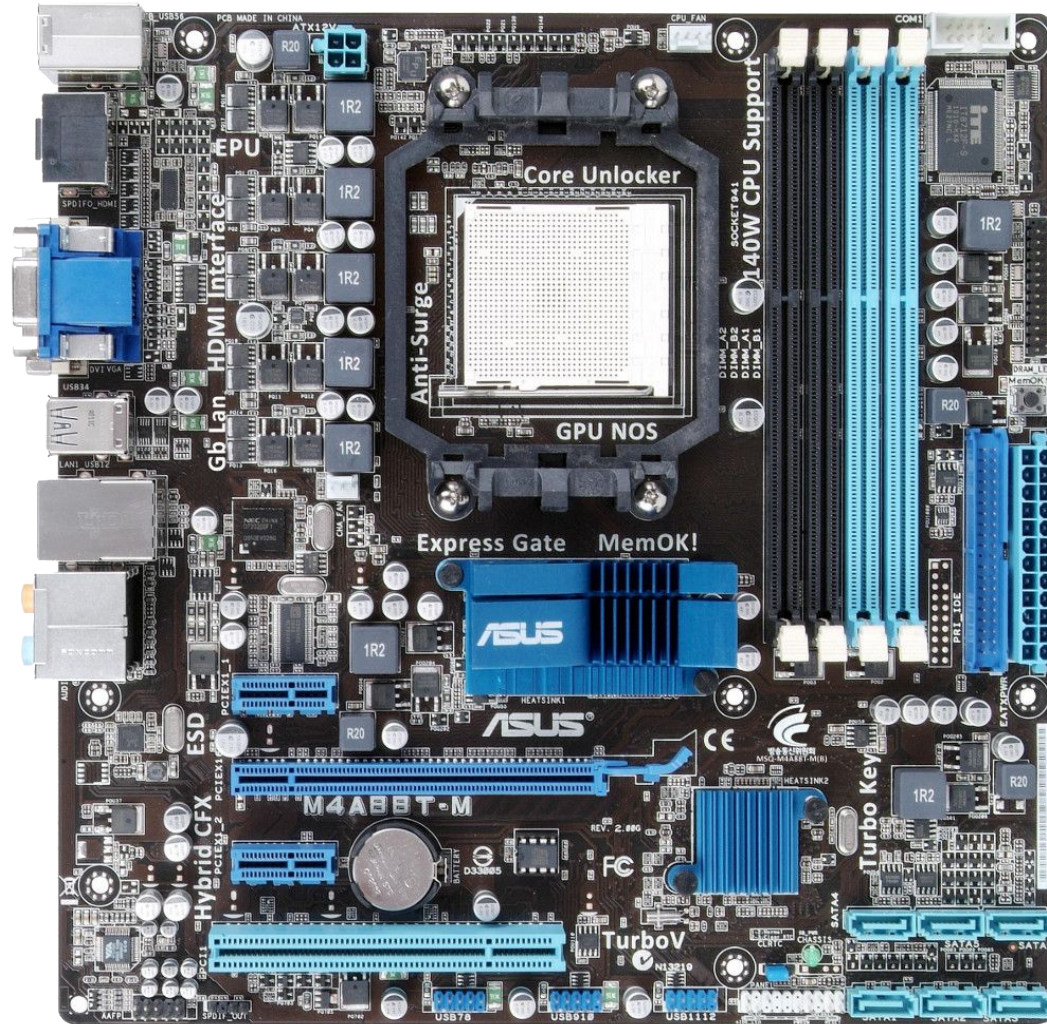
ARCHITETTURA ELABORATORI

FONDAMENTI DI INFORMATICA

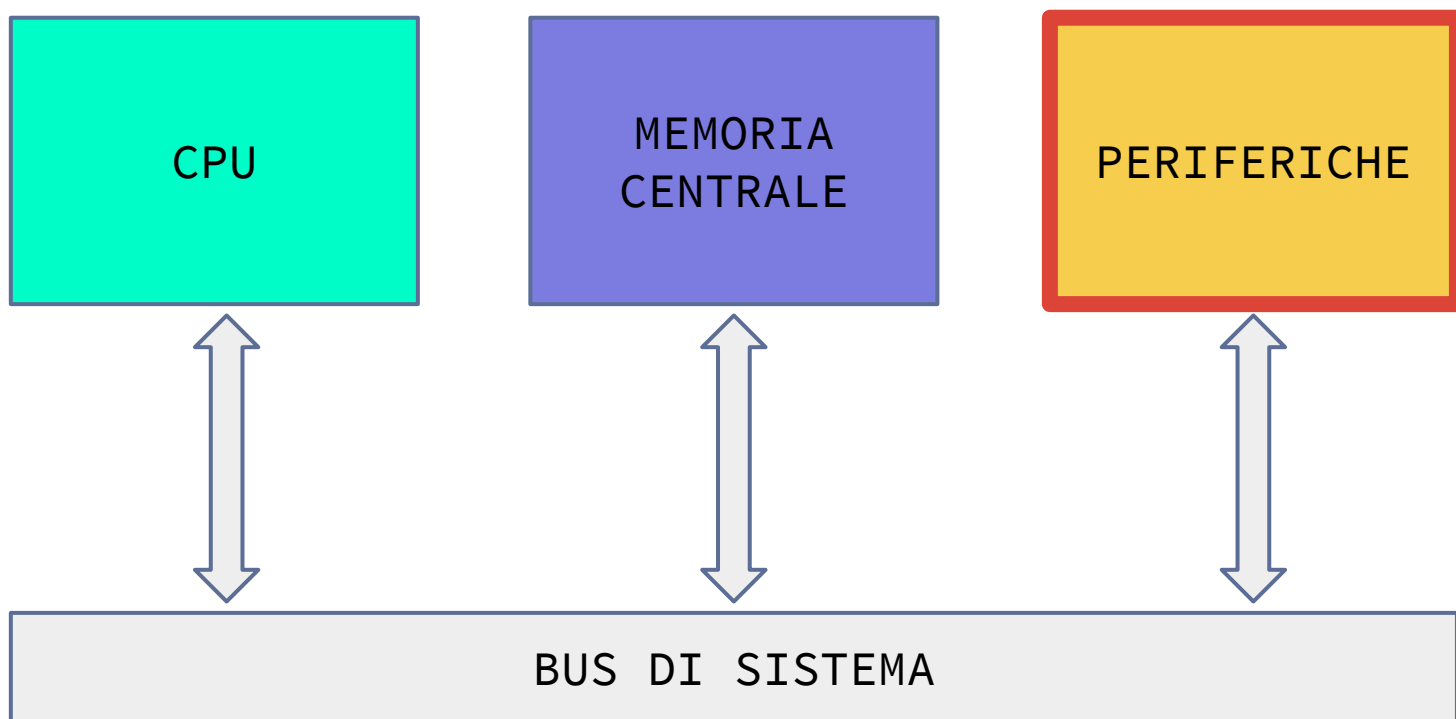
VON NEUMANN



SCHEMA MADRE



PERIFERICHE



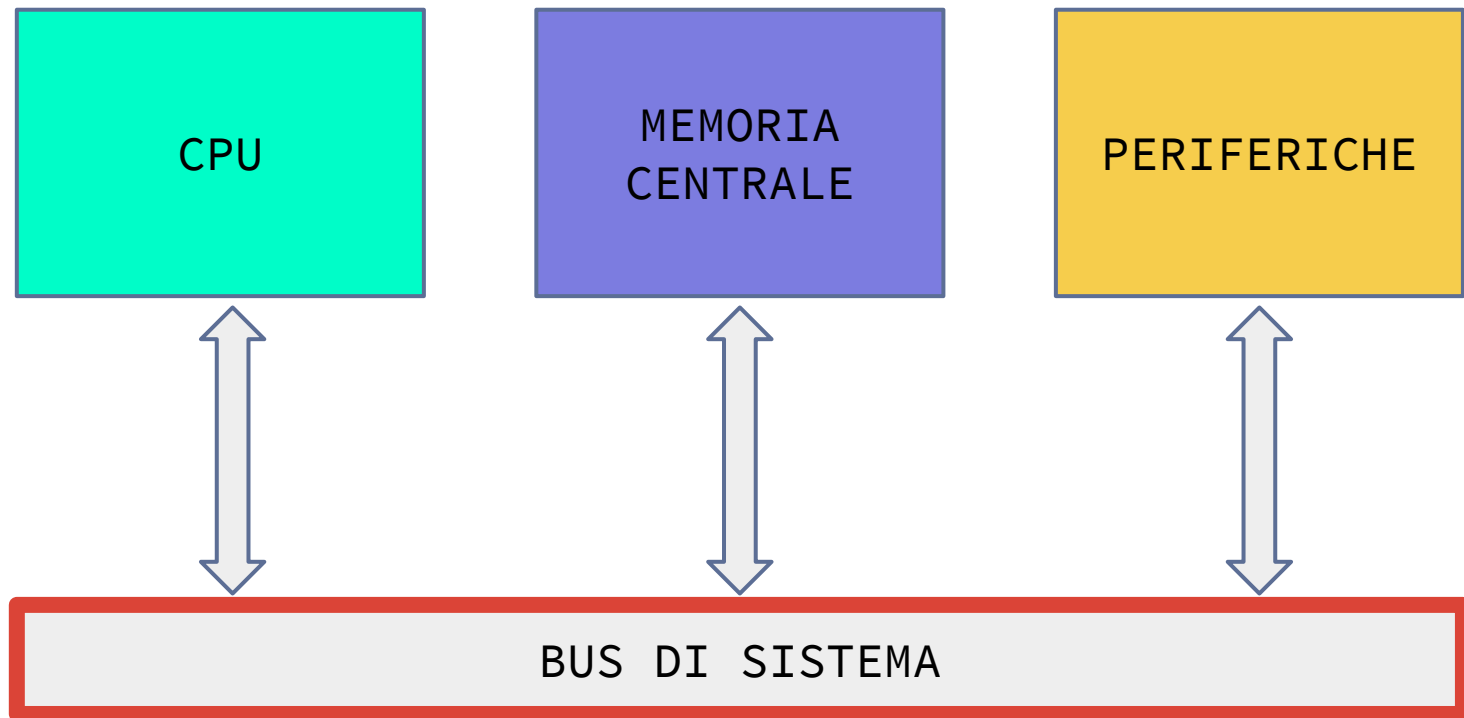
PERIFERICHE

Apparecchi per lo scambio di informazioni tra elaboratore e esterno:

- Mouse
- Monitor
- Stampante
- Tastiera
- Memoria secondaria

IRQ: sistema di segnali per comunicare con la CPU

BUS DI SISTEMA



BUS DI SISTEMA

Collega i vari elementi tra di loro

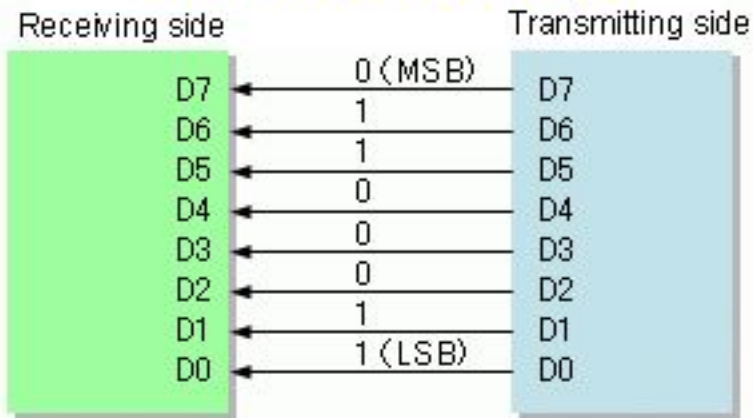
Banda: quanti dati posso trasferire al secondo

Seriale: invio i dati in sequenza

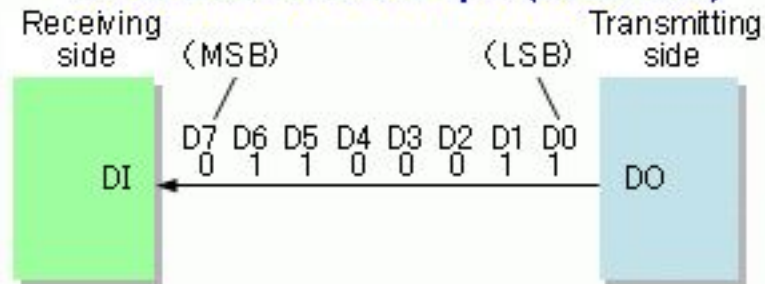
Parallelo: invio i dati parallelamente

BUS DI SISTEMA

Parallel interface example



Serial interface example (MSB first)



BUS INTERNI

- **PCI:** bus parallelo, 64bit a 66MHz = 512 MB/s (audio)
- **PCI Express x16:** bus seriale a 16 canali, 31.5 GB/s (video)
- **PCI Express x1:** bus seriale con un solo canale (1969 MB/s)
- **PATA:** bus parallelo per memorie secondarie. Massimo due dispositivi (133 MB/s)
- **SATA:** bus seriale per memorie secondarie
 - SATA1: 192 MB/s
 - SATA2: 384 MB/s
 - SATA3: 768 MB/s

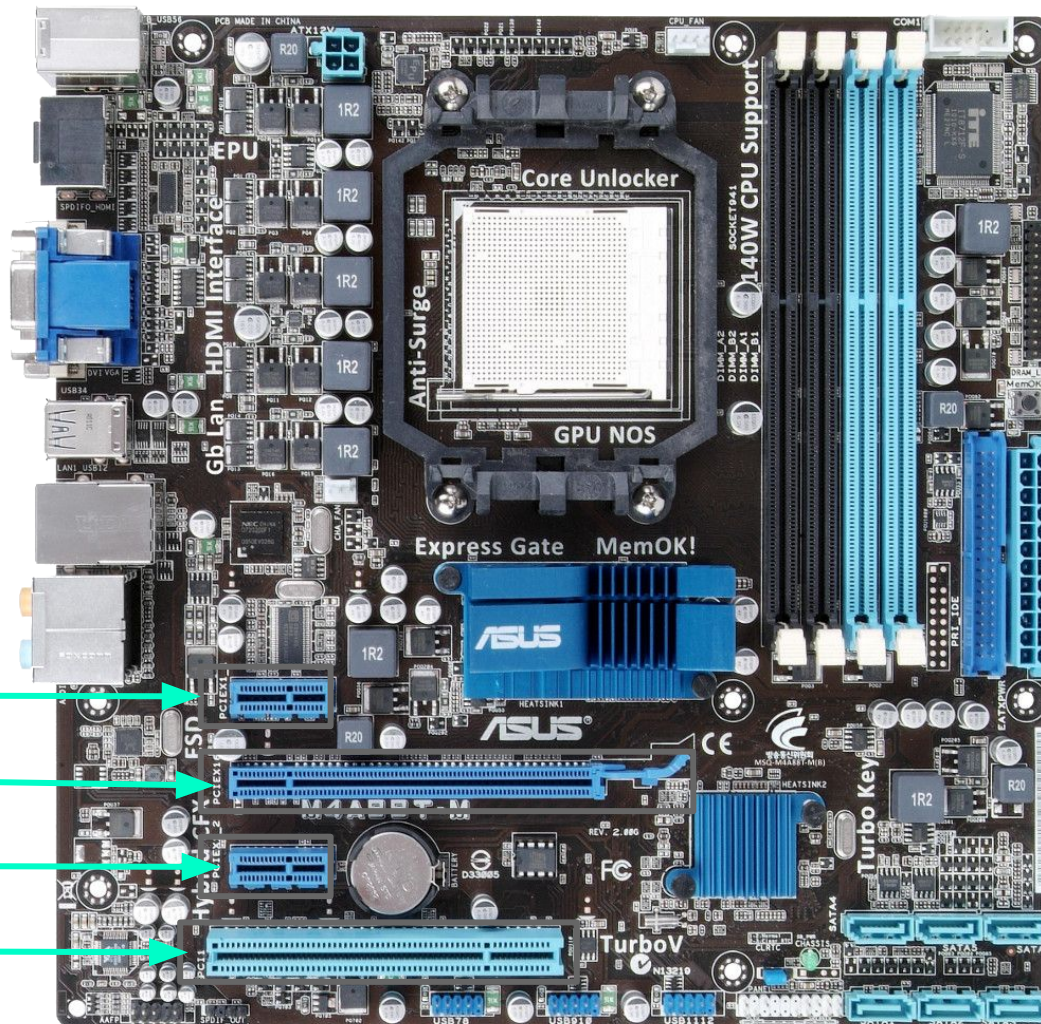
SCHEDA MADRE - BUS

PCIe x1

PCIe x16

PCIe x1

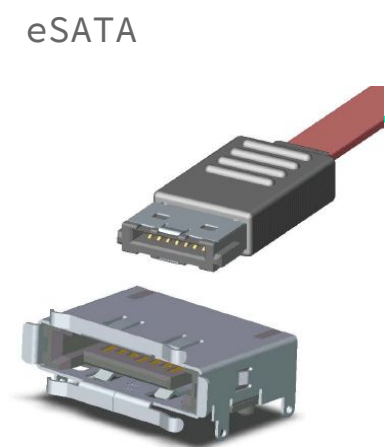
PCI



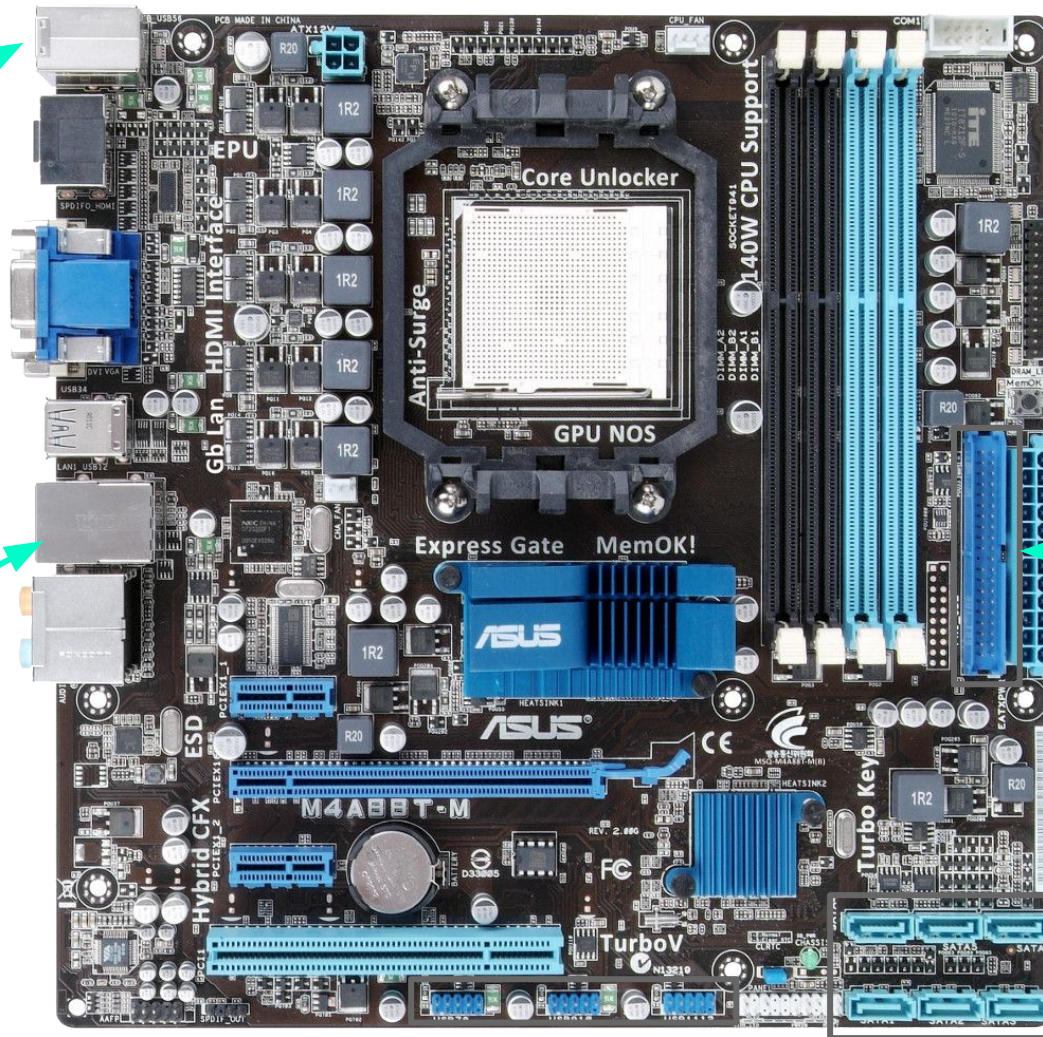
SCHEDA MADRE - BUS



USB



eSATA



IDE

SATA

USB

USB

USB: Universal Serial Bus, permette di connettere dispositivi esterni al computer

Massimo 127 dispositivi

- USB1: 1,4 MB/s
- USB2: 60 MB/s
- USB3: 358 MB/s
- Type-C: 1 GB/s



USB-A



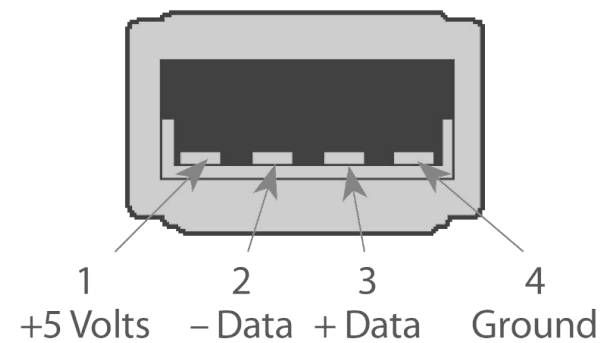
USB-B



Mini



Micro

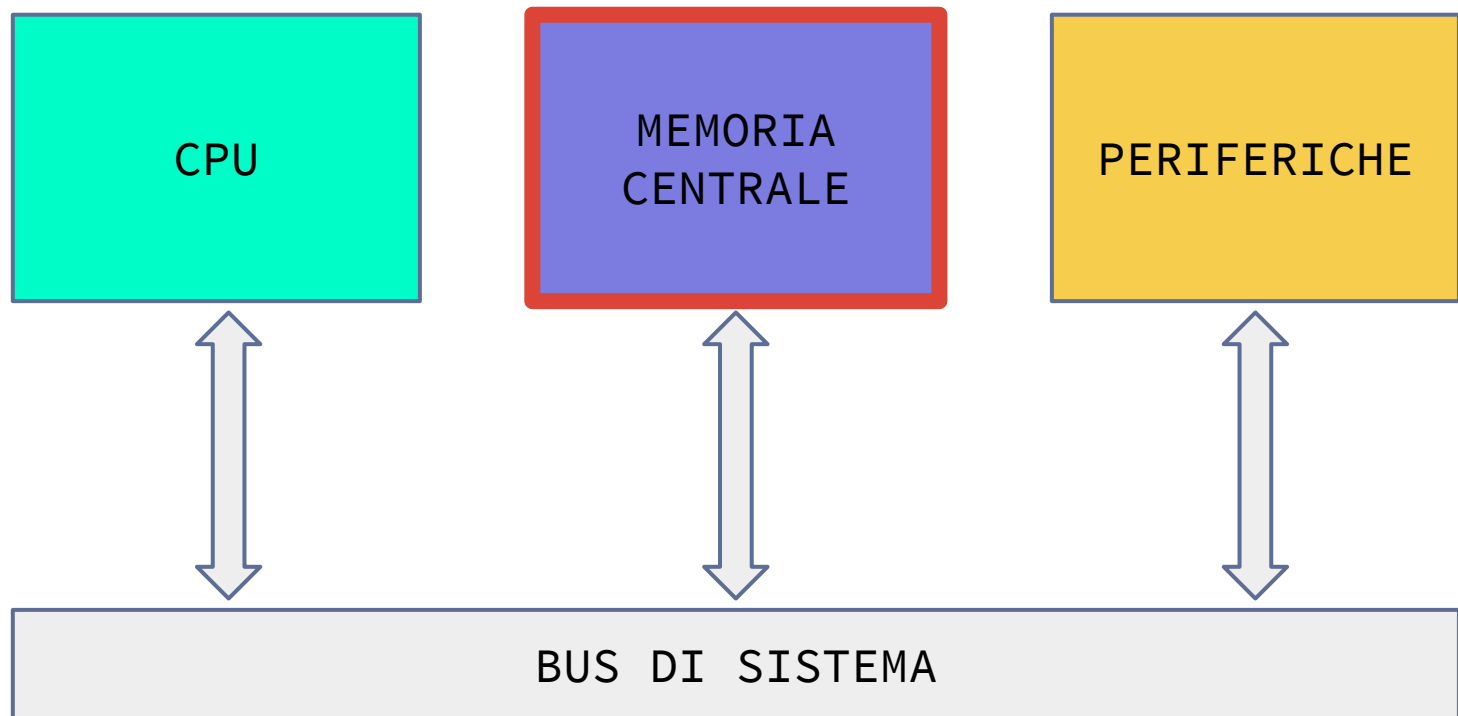


THUNDERBOLT

Sviluppato da Intel per Apple (PCI Express)
2 canali di comunicazione, fino a 2.33 GB/s



MEMORIA CENTRALE



MEMORIA CENTRALE

Contiene le informazioni **necessarie** all'esecuzione del programma (istruzioni e dati)

- Volatile
- Dimensioni ridotte
- Veloce

MEMORIA CENTRALE

Word: la memoria è organizzata righe e colonne. Ogni cella è chiamata “word” e ha una lunghezza prefissata.

Ad ogni cella (word) è identificata da un **indirizzo** (riga + colonna)

	1	2	3	4	5
1	01101111	00000101	10101101	01101111	11101110
2	00000000	00111111	01010001	11111111	11000111
3	00000101	01010001	11101110	11100000	00000000
4	00111111	11000111	00000101	01101111	11111111
5	01010001	10101101	01101111	01000000	11100000

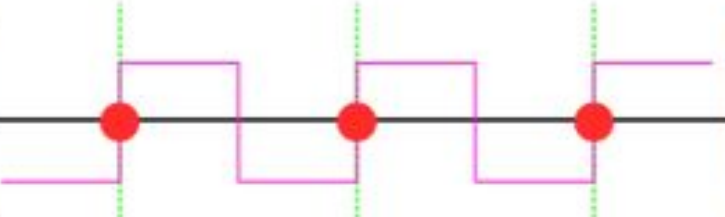
TIPI DI MEMORIA

EPROM: mantiene i dati anche se si stacca la corrente e può essere riprogrammata (Erasable Programmable Read Only Memory)

- **Statica (SRAM):** molto veloce, dato persistente (costosa)
- **Dinamica (DRAM):** meno cata, i dati tendono a cancellarsi
- **Double Data Rate (DDR):** legge il doppio dei dati, varie versioni

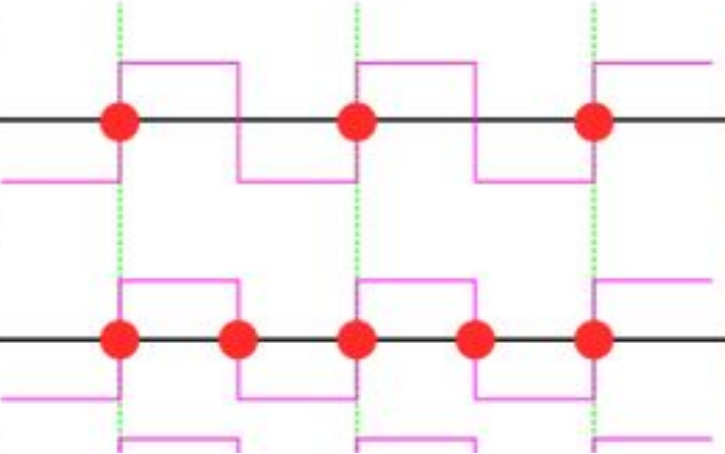
DDRAM

SDR
Single Data Rate



1 signal
per
clock cycle

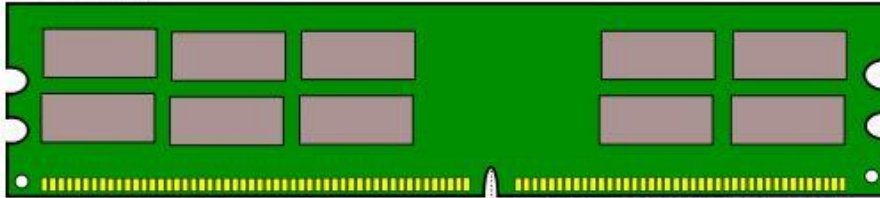
DDR
Double Data Rate



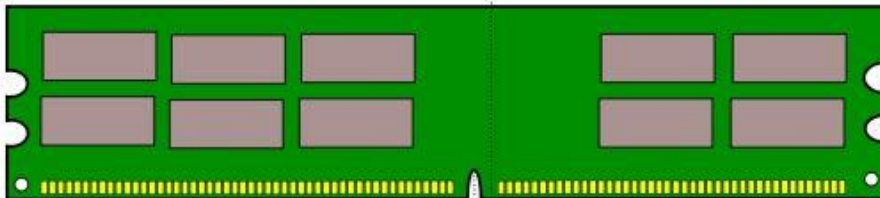
2 signals
per
clock cycle

INCOMPATIBILITÀ

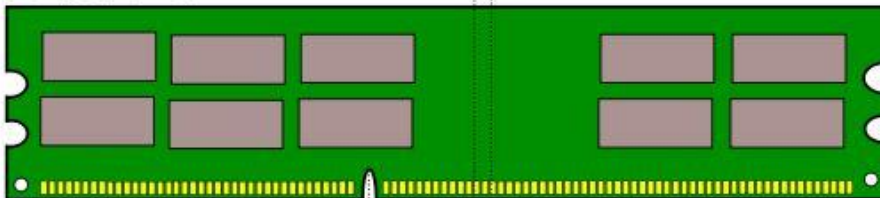
DDR



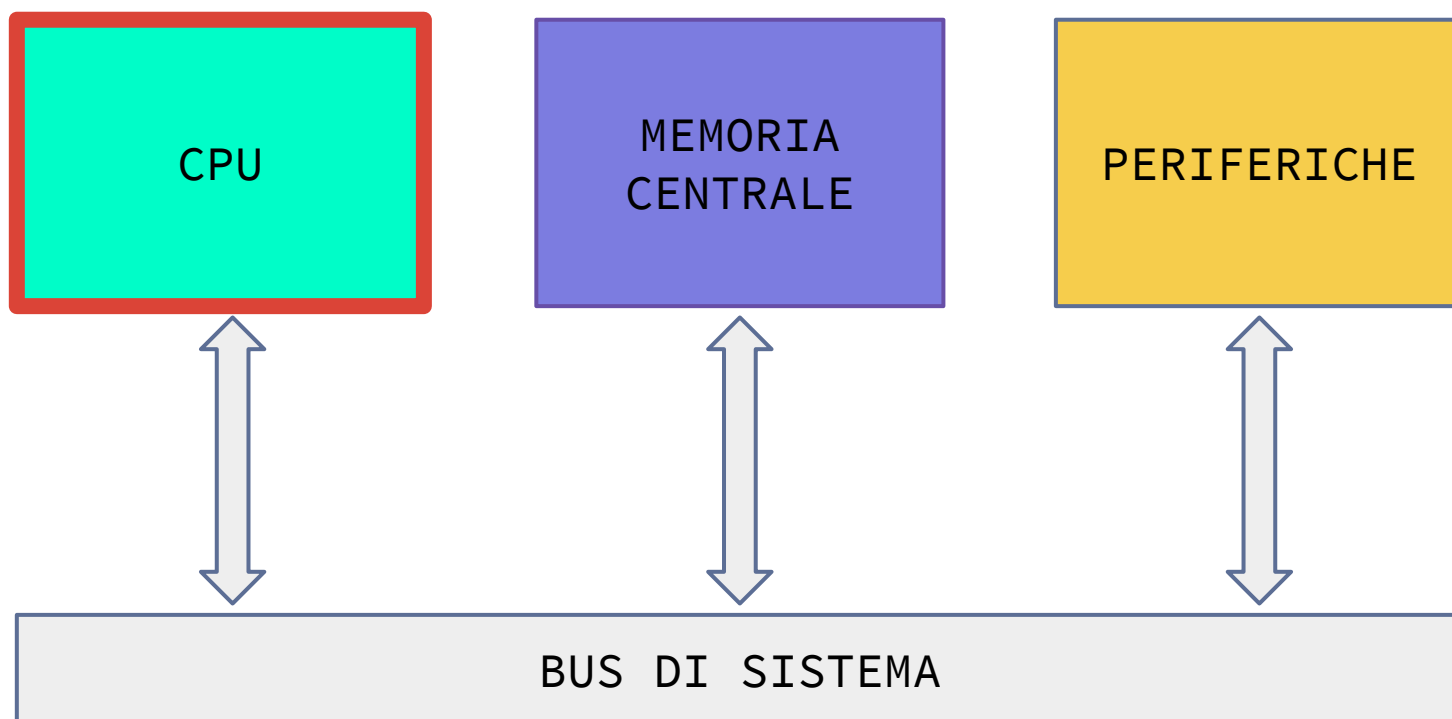
DDR 2



DDR 3



CPU

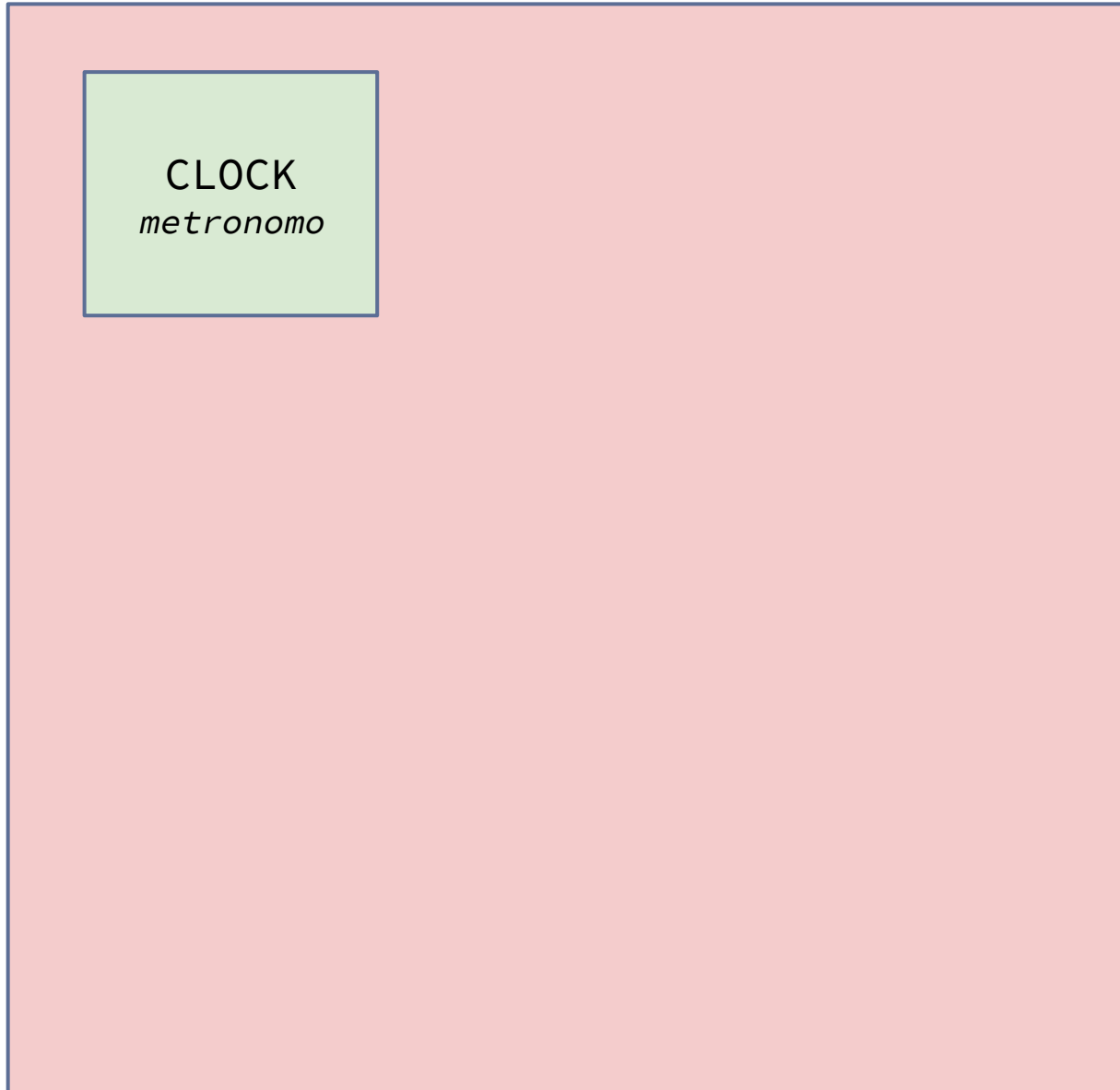


CPU

Central Processing Unit

interpreta ed esegue le istruzioni
presenti nella **memoria centrale**

CPU



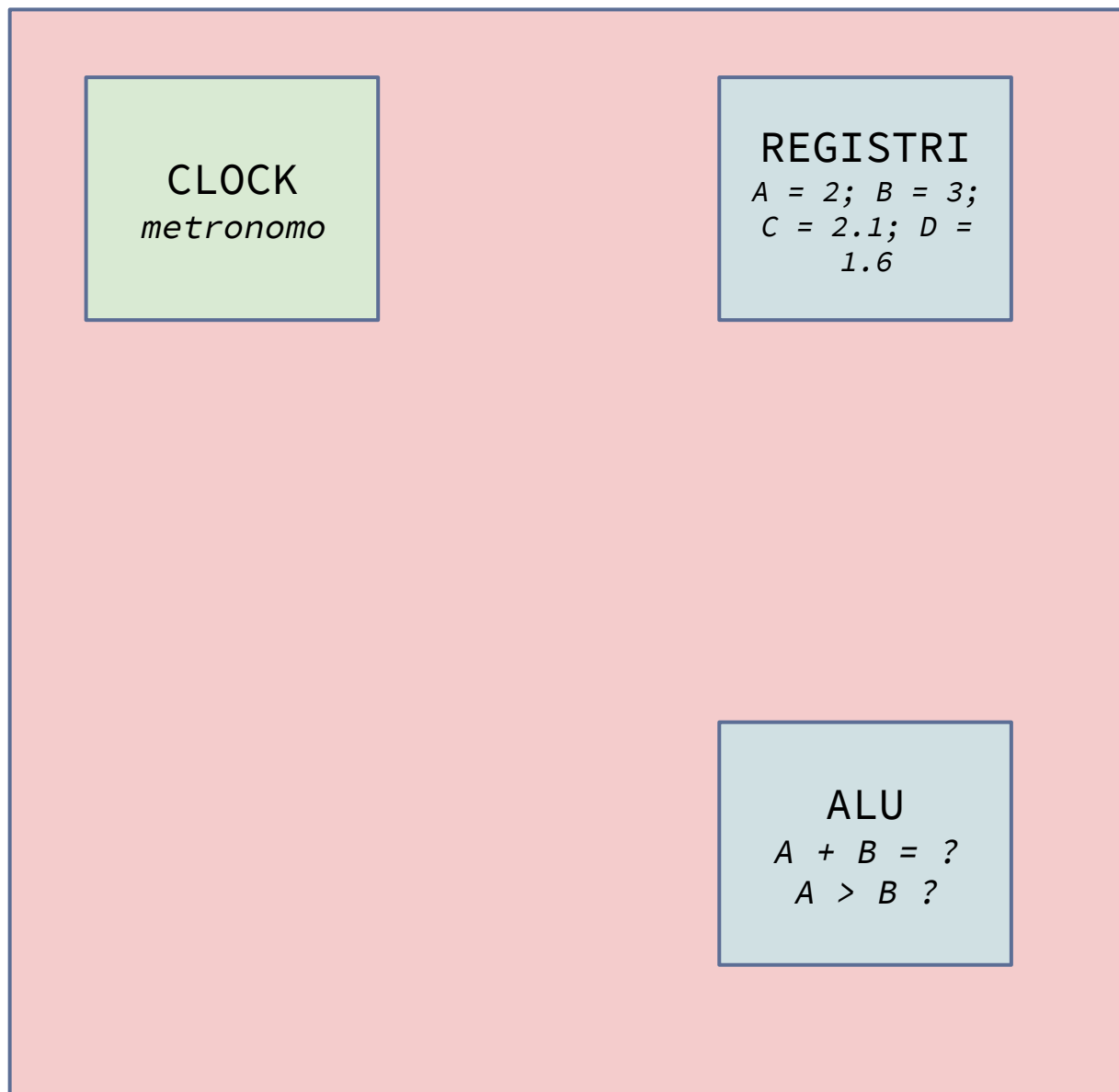
CPU

CLOCK
metronomo

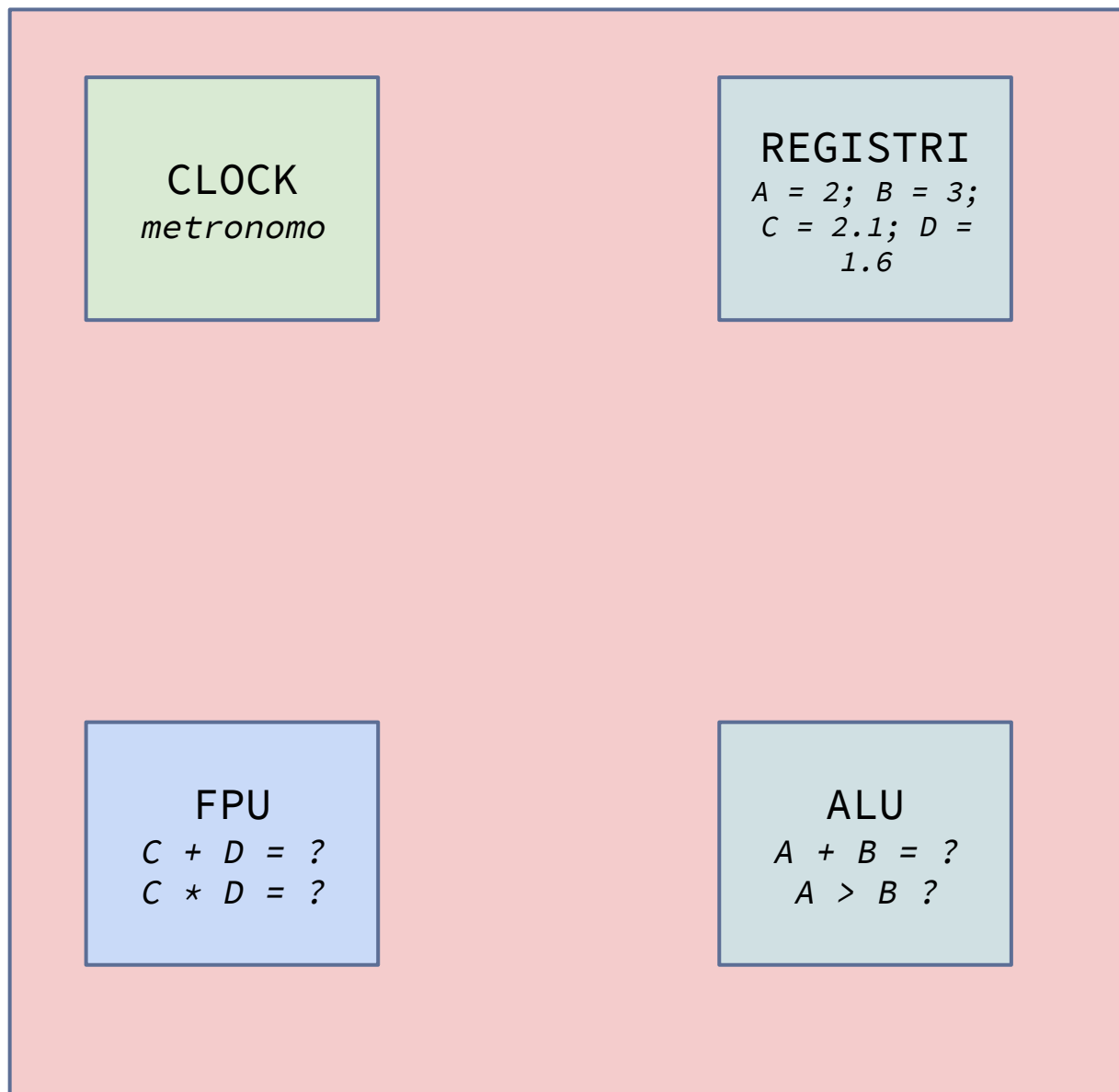
REGISTRI

$A = 2; B = 3;$
 $C = 2.1; D =$
 1.6

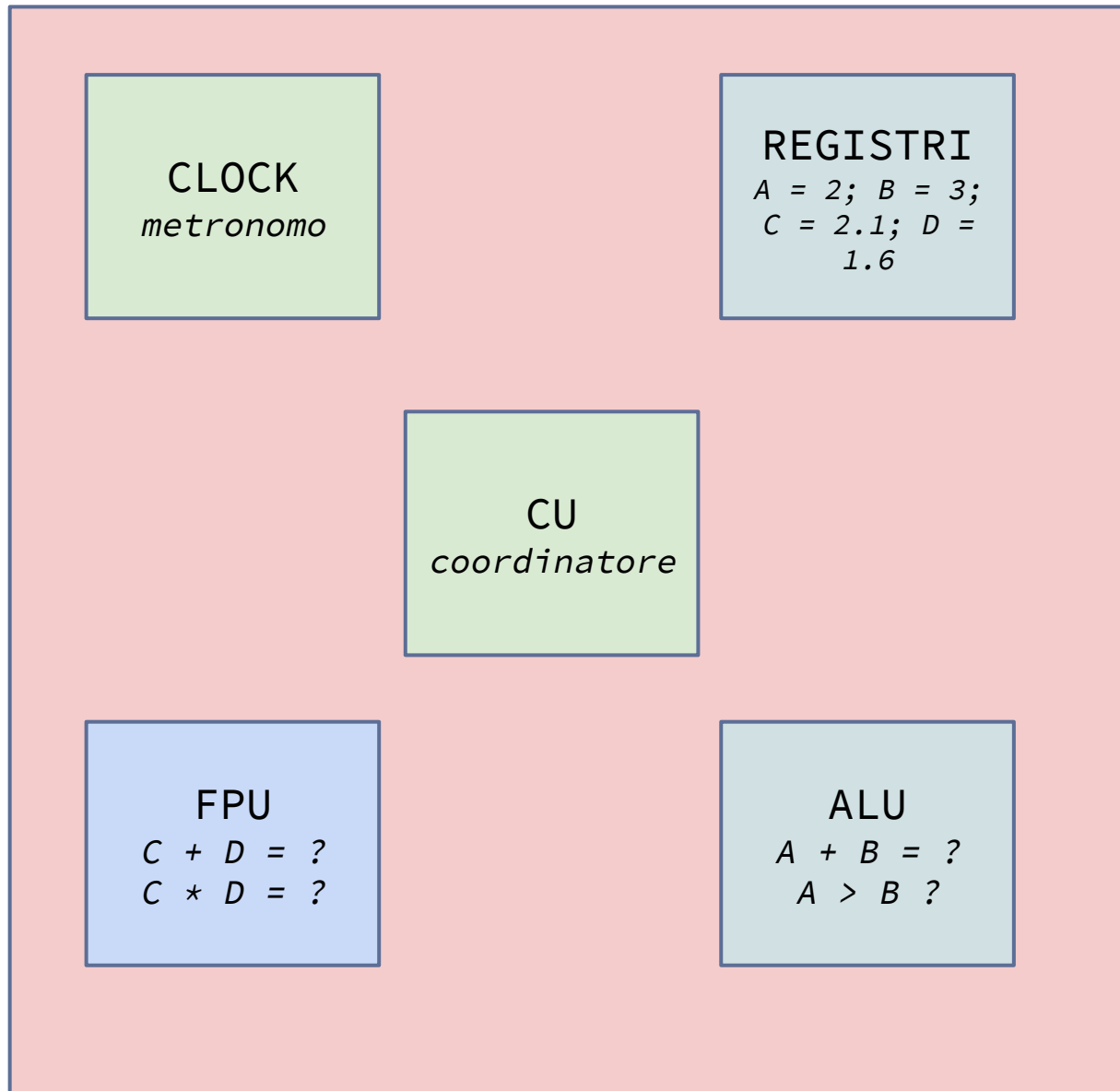
CPU



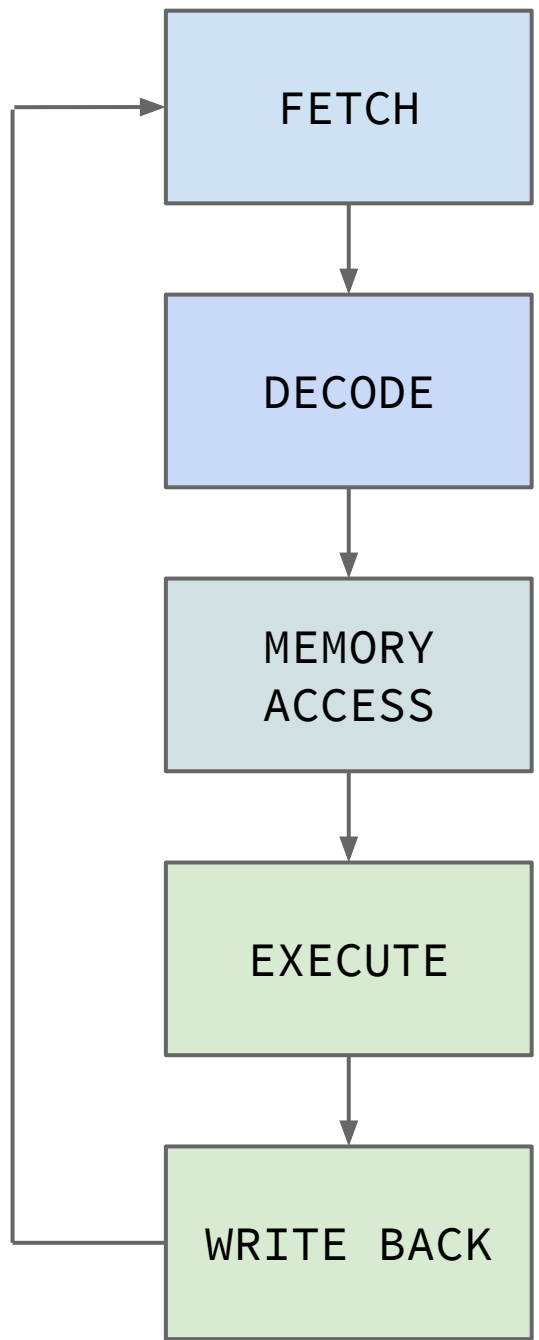
CPU



CPU



CPU



INSTRUCTION SET

INSTRUCTION	Mnemonic	Bit
No Operation	NOP	0
Jump Conditional	JCN	0001 - CCCC
Fetch Immediate	FIM	0010 - RRR0
Send Register Control	SRC	0010 - RRR1
Fetch Indirect	FIN	0011 - RRR0
Jump Indirect	JIN	0011 - RRR1
Jump Unconditional	JUN	0100 - AAAA
Jump to Subroutine	JMS	0101 - AAAA
Increment	INC	0110 - RRRR
Add	ADD	1000 - RRRR
Subtract	SUB	1001 - RRRR
Load	LD	1010 - RRRR

Intel 4004

→ 46 istruzioni

Intel x86

→ 1503 istruzioni

CISC VS RISC

**Complex
Instructions
Set
Computing**

**Reduced
Instructions
Set
Computing**

CISC VS RISC

“Sommo il valore di X con Y e scrivo il risultato in Z”

$$Z = X + Y$$

CISC:

ADD X,Y,Z

RISC:

LOAD X,R1

LOAD Y,R2

ADD R1,R2

WRITE R2,Z

SENZA PIPELINE

Fetch	█					█				
Decode		█					█			
Memory A.			█					█		
Execute				█					█	
Write Back					█					█
TEMPO	1	2	3	4	5	6	7	8	9	10

CON PIPELINE

Fetch	█	█								
Decode		█	█							
Memory A.			█	█						
Execute				█	█					
Write Back					█	█				
TEMPO	1	2	3	4	5	6	7	8	9	10

CACHE

Leggere i dati dalla memoria centrale **costa**.

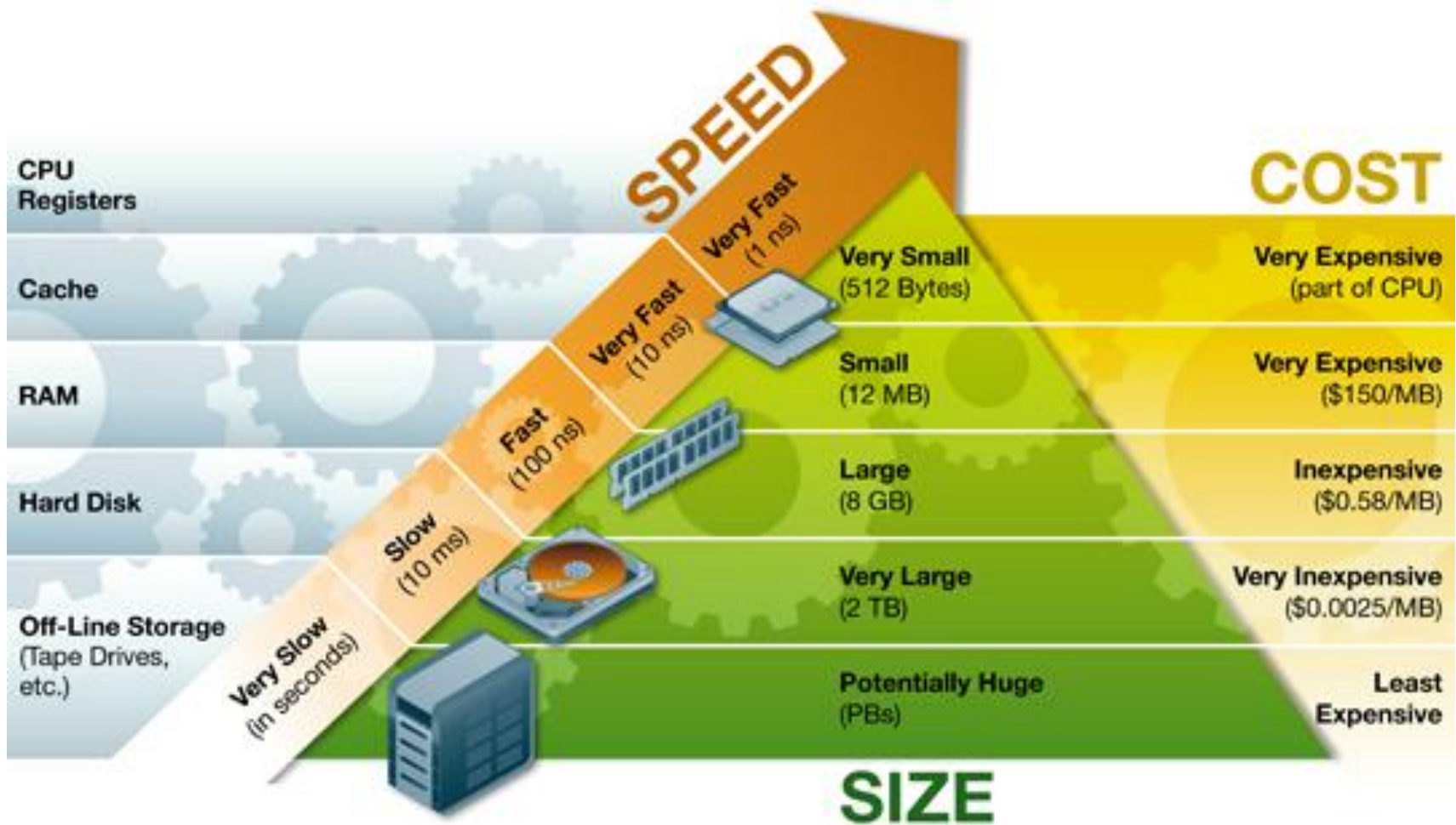
La cache è una “micro-RAM”, più veloce e più “vicina” alla CPU

Cache hit: il dato è in cache

Cache miss: il dato non è in cache, devo prenderlo dalla RAM

Livelli: ci possono essere più livelli di cache (L1, L2), aumentano le dimensioni ma diminuisce la velocità

VELOCITÀ DELLE MEMORIE



PROCESSORI ARM

Processori **RISC**

Molto diffusi nei dispositivi **mobile**

System-On-Chip: la RAM è inclusa nel processore